



INSTITUTO POLITÉCNICO NACIONAL
SECRETARÍA ACADÉMICA
DIRECCIÓN DE EDUCACIÓN SUPERIOR



PERFIL DOCENTE POR UNIDAD DE APRENDIZAJE

1. DATOS GENERALES

UNIDAD ACADÉMICA: UNIDAD PROFESIONAL INTERDISCIPLINARIA EN INGENIERÍA Y TECNOLOGÍAS AVANZADAS

PROGRAMA ACADÉMICO: Ingeniería Telemática

NIVEL

I

ÁREA DE FORMACIÓN:

Institucional

Científica
Básica

Profesional

Terminal y de
Integración

ACADEMIA: Electrónica

UNIDAD DE APRENDIZAJE: Diseño Digital

ESPECIALIDAD Y NIVEL ACADÉMICO REQUERIDO: Licenciatura en Ciencias - Ingeniería Eléctrica o a fin de preferencia con maestría o doctorado

2. OBJETIVO DE LA UNIDAD DE APRENDIZAJE: Implementar diseños digitales de circuitos y sistemas para dar solución a problemas reales de Ingeniería Telemática, empleando los dispositivos lógicos programables y los lenguajes descriptivos de hardware.

3. PERFIL DOCENTE:

CONOCIMIENTOS	EXPERIENCIA PROFESIONAL	HABILIDADES	ACTITUDES
Electricidad y Circuitos eléctricos, Electrónica Analógica, Electrónica Digital, Electrónica de Potencia, Lenguajes de Descripción de Hardware, Uso de tarjetas de desarrollo, Uso y manejo de software de desarrollo (Xilinx, Altera, Lattice, Actel, etc.) para PLD, CPLD y FPGA. Modelo Educativo Institucional (MEI)	Dos años de experiencia mínima profesional en el campo de la Ingeniería en Electrónica, Comunicaciones, Telecomunicaciones, Telemática, Mantenimiento eléctrico-electrónico. Diseño y fabricación de circuitos electrónicos. Un año de experiencia impartiendo clases a nivel licenciatura y/o dos años impartiendo curso o talleres.	Manejo del idioma inglés (avanzado). Dominio de la asignatura. Manejo de equipo de medición y de prueba. Manejo de tarjetas de desarrollo con dispositivos programables. Manejo de grupos. Comunicación oral y escrita. Capacidad de análisis y síntesis. Manejo de materiales didácticos. Organización. Creatividad. Liderazgo. Uso de las TICs. Aplicar el MEI	Vocación por la docencia. Honestidad. Ejercicio de la crítica fundamentada. Respeto (relación maestro(a) alumno(a)). Ética profesional y personal. Responsabilidad científica. Capacidad de trabajo en equipo. Superación docente y profesional. Solidaridad. Compromiso social y ambiental. Responsabilidad. Tolerancia. Puntualidad, entre otros.

ELABORÓ

Presidente de Academia

REVISÓ

Subdirector Académico

AUTORIZÓ

Director de la Unidad Académica

M. en C. Blanca Esther Carvajal Gámez

M. en C. Arodi Rafael Carvallo Domínguez



INSTITUTO POLITÉCNICO NACIONAL

SECRETARÍA ACADÉMICA

DIRECCIÓN DE EDUCACIÓN SUPERIOR



PROGRAMA SINTÉTICO

UNIDAD ACADÉMICA: UNIDAD PROFESIONAL INTERDISCIPLINARIA EN INGENIERÍA Y TECNOLOGÍAS AVANZADAS

PROGRAMA ACADÉMICO: Ingeniería Telemática

UNIDAD DE APRENDIZAJE: Diseño Digital

NIVEL: I

OBJETIVO GENERAL:

Implementar diseños digitales de circuitos y sistemas para dar solución a problemas reales de Ingeniería Telemática, empleando los dispositivos lógicos programables y los lenguajes descriptivos de hardware.

CONTENIDOS:

- I. Elementos de Diseño Digital
- II. Diseño de circuitos combinacionales.
- III. Diseño de circuitos secuenciales
- IV. Diseño de máquinas de estado finito

ORIENTACIÓN DIDÁCTICA:

Para el proceso de enseñanza-aprendizaje se utilizarán los métodos y técnicas siguientes: Método expositivo, Aprendizaje basado en proyectos, Aprendizaje basado en problemas y Trabajo colaborativo. En el primero se realiza exposición oral, utilizando material didáctico impreso, electrónico y prototipos, para que los estudiantes lleven a cabo la simulación e implementación de sus diseños en los dispositivos programables, que conformarán las evidencias de sus aprendizajes. Con las siguientes dos técnicas, se desarrollarán proyectos para dar solución a problemas planteados por uno o más profesores, se evaluará la defensa oral y presentación física de la solución al proyecto o problema junto con un reporte escrito. La última estrategia se permea con las tres anteriores, desde el momento en que se forman los equipos de trabajo y se evalúe su desempeño en las actividades realizadas. Como actividad adicional, los alumnos realizarán autoevaluaciones y coevaluaciones contrastándose con el objetivo general.

EVALUACIÓN Y ACREDITACIÓN:

Para la evaluación de la unidad de aprendizaje se considera:

Evaluación exploratoria de los conceptos vistos en clase y en laboratorio. Prácticas de laboratorio con los circuitos funcionando. Proyectos funcionando. Problemas y Tareas de investigación solucionados. Reportes escritos, defensa oral y circuitos o prototipos funcionando.

Para acreditar la unidad de aprendizaje por “competencia demostrada” con la autorización de la Academia de Electrónica:

- Realizar una evaluación exploratoria, donde se evalúe lo expuesto en las unidades temáticas I a IV.
- Realizar y mostrar funcionando 5 prácticas de laboratorio o más, dadas por la Academia de Electrónica.
- Realizar un proyecto de la Unidad de aprendizaje y solucionar dos Tareas de investigación o problemas dedicados dados por la Academia de Electrónica.

La Subdirección Académica y en conjunto con la Academia de Electrónica determinarán la equivalencia de la competencia con otras unidades de aprendizaje, tanto de unidades académicas de IPN como externas.

BIBLIOGRAFÍA:

Brown S., Vranesic Z., “Fundamentals of Digital Logic with VHDL Design with CD-ROM”, Ed. Mcgraw Hill, 3a edición, 2008. págs. 939, ISBN 9780077221430.

Morris Mano M., “Digital design”, Ed. Pearson Prentice Hall, 4a edición, 2007, págs. 608, ISBN: 9780131989245.

Pardo F., Boluda J. A., “VHDL, lenguajes para síntesis y modelado de circuitos”, Ed. Alfaomega Ra – Ma, 2a edición, 2004, págs. 251, ISBN 970-15-1017-8.

Pérez S. A, Soto E., Fernández S., “Diseño de Sistemas Digitales con VHDL”, Ed. Thomson, 2002, págs. 353, ISBN 84-9732-081-6.

Wakerly John F., “Digital design: principles and practices”, Ed. Pearson Prentice Hall, 4a edición, 2007, págs. 802, ISBN 9780132016117.



INSTITUTO POLITÉCNICO NACIONAL
SECRETARÍA ACADÉMICA
DIRECCIÓN DE EDUCACIÓN SUPERIOR



UNIDAD ACADÉMICA: UNIDAD PROFESIONAL INTERDISCIPLINARIA EN INGENIERÍA Y TECNOLOGÍAS AVANZADAS.

PROGRAMA ACADÉMICO: Ingeniería Telemática

PROFESIONAL ASOCIADO: Profesional Asociado en Telemática.

ÁREA FORMATIVA: Científica básica.

MODALIDAD: Presencial

UNIDAD DE APRENDIZAJE: Diseño Digital

TIPO DE UNIDAD DE APRENDIZAJE:

1. Teórico – práctica.
2. Obligatoria.

VIGENCIA: Enero 2010

NIVEL: I

CRÉDITOS: 6.0 TEPIC 4.35 SATCA

PROPÓSITO GENERAL

Utilizando un Lenguaje Descriptivo de Hardware (HDL) y dispositivos programables (FPGA o CPLD), diseñar e implementar soluciones a problemas en Ingeniería Telemática empleando estas tecnologías. Durante las actividades de aprendizaje se fomenta el trabajo colaborativo, creatividad y diversidad de roles en el desarrollo de las aplicaciones. Esta UAp se relaciona con: Arquitectura de computadoras, Dispositivos Programables, Electrónica, Transmisión de datos.

OBJETIVO GENERAL

Implementar diseños digitales de circuitos y sistemas para dar solución a problemas reales de Ingeniería Telemática, empleando los dispositivos lógicos programables y los lenguajes descriptivos de hardware.

TIEMPOS ASIGNADOS

HORAS TEORÍA/SEMANA: 1.5

HORAS PRÁCTICA/SEMANA: 3.0

HORAS TEORÍA/SEMESTRE: 27

HORAS PRÁCTICA/SEMESTRE: 54

HORAS TOTALES/SEMESTRE: 81

UNIDAD DE APRENDIZAJE

REDISEÑADA: Diseño Digital

POR: Academia de Electrónica

REVISADA POR: Subdirección Académica

APROBADA POR:

Consejo Técnico Consultivo Escolar.

S. E. P.

INSTITUTO POLITÉCNICO NACIONAL

UNIDAD PROFESIONAL INTERDISCIPLINARIA

EN INGENIERÍA Y TEC. AVANZADAS

DIRECCIÓN

M. en C. Arodí Rafael Carvallo Domínguez
Presidente del CTCE.

AUTORIZADO POR: Comisión de Programas Académicos del Consejo General Consultivo del IPN.

SECRETARÍA DE EDUCACIÓN PÚBLICA
INSTITUTO POLITÉCNICO NACIONAL
DIRECCIÓN DE EDUCACIÓN SUPERIOR

Ing. Rodrigo de Jesús Serrano Domínguez
Secretario Técnico de la Comisión de Programas Académicos.

N° UNIDAD TEMÁTICA: IV		NOMBRE: Diseño de máquinas de estado finito.				
<p align="center">COMPETENCIA ESPECÍFICA</p> <p>Implementa las máquinas de estado finito en un FPGA o CPLD utilizando HDL y un editor de estados.</p>						
No.	CONTENIDOS	HORAS AD Actividades de docencia		HORAS TAA Actividades de Aprendizaje Autónomo		CLAVE BIBLIOGRÁFICA
		T	P	T	P	
4.1	Conceptos de las máquinas de estado finito (FSM).	0.5				1C, 10C, 11B
4.2	Diseño, síntesis y simulación de máquinas de estado finito con HDL.	0.5	1.0	1.0	5.0	
4.2.1	Máquinas de Mealy.					
4.2.2	Máquinas de Moore.					
4.2.3	Máquinas mixtas.					
4.3	Desarrollo de aplicaciones prácticas de ingeniería telemática en FPGA o CPLD.			1.0	3.0	
4.4	Uso de un editor de FSM.		2.0		3.0	
	Subtotales por Unidad temática*:	1.0	3.0	2.0	11.0	
<p align="center">ESTRATEGIAS DE APRENDIZAJE</p> <p>Investigar y reportar la información de los temas solicitados en la unidad temática. Discusión y conclusión en forma grupal de los conceptos vistos en la unidad temática. Desarrolló de prácticas utilizando una tarjeta de desarrollo con FPGA o CPLD y componentes discretos. Desarrollo de un proyecto integrador (junto con otras asignaturas) o proyecto sólo de la unidad de aprendizaje. Resolución de ejercicios prácticos de las máquinas de estado finito empleando tanto los editores de FSM como el HDL, por medio del trabajo colaborativo y dinámicas dentro y fuera del aula.</p>						
<p align="center">EVALUACIÓN DE LOS APRENDIZAJES</p> <p>25% Realización de las prácticas de laboratorio: Prereporte (conceptos y cálculos de los circuitos), Trabajo de laboratorio (revisión de los circuitos funcionando), Reporte (introducción, desarrollo, conclusiones individuales y bibliografía). 25% Realización del proyecto parcial o entrega del proyecto semestral que involucre: Reporte escrito con los puntos solicitados en el formato, Defensa del proyecto, Prototipo funcionando. 25% Tareas de investigación y dinámicas de grupo. 25% Evaluación exploratoria de conceptos de los temas involucrados.</p>						



INSTITUTO POLITÉCNICO NACIONAL
SECRETARÍA ACADÉMICA
DIRECCIÓN DE EDUCACIÓN SUPERIOR



UNIDAD DE APRENDIZAJE: Diseño digital

HOJA: 7 DE 13

RELACIÓN DE PRÁCTICAS

PRÁCTICA No.	NOMBRE DE LA PRÁCTICA	UNIDADES TEMÁTICAS	DURACIÓN	LUGAR DE REALIZACIÓN
1	Tarjetas de desarrollo y componentes. Objetivo: Introducción de los elementos físicos a trabajar. Descripción: Conocer los componentes electrónicos y los dispositivos programables discretos y en una tarjeta de desarrollo, implementando un ejemplo sencillo con HDL.	I	2	Laboratorio de Digitales
2	Compuertas básicas y funciones. Objetivo: Simulación e implementación de compuertas básicas de 2 y 3 entradas, y funciones booleanas tanto con VHDL como con Verilog. Descripción: utilizando la descripción funcional y flujo de datos utilizar el software para simular e implementar funciones lógicas y las compuertas, en un CPLD discreto o un FPGA en tarjeta de desarrollo.	I	6	Laboratorio de Digitales
3	Riesgos en el tiempo. Objetivo: Observar y medir los tiempos de respuesta de una señal digital. Descripción: Utilizando un analizador de estados lógicos o un osciloscopio digital, medir las señales que se generan en la tarjeta de desarrollo.	II	2	Laboratorio de Digitales



INSTITUTO POLITÉCNICO NACIONAL
SECRETARÍA ACADÉMICA
DIRECCIÓN DE EDUCACIÓN SUPERIOR



UNIDAD DE APRENDIZAJE: Diseño digital

HOJA: 8 DE 13

RELACIÓN DE PRÁCTICAS

PRÁCTICA No.	NOMBRE DE LA PRÁCTICA	UNIDADES TEMÁTICAS	DURACIÓN	LUGAR DE REALIZACIÓN
4	<p>Circuitos combinacionales: Comparador de magnitud, codificador, decodificador, multiplexor y demultiplexor. Objetivo: Implementar y probar el funcionamiento de forma física y en el simulador de por lo menos un comparador de magnitud de 4 bits (o más), un codificador, un decodificador, un multiplexor y un demultiplexor. Descripción: Escribir y probar los códigos en HDL de un comparador de magnitud, un codificador, un decodificador, un multiplexor y un demultiplexor, tanto en el simulador como en un CPLD discreto o un FPGA en tarjeta de desarrollo.</p>	II	4.5	Laboratorio de Digitales
5	<p>Circuitos aritméticos (+, -, *, /) y lógicos. Objetivo: Implementar y probar un sumador, un restador, un multiplicador y un divisor digital, con salida binaria y a display (7-seg o LCD) y la realización de una ALU de 4 bits. Descripción: Escribir y probar los códigos de los circuitos aritméticos y lógicos para implementarlos en un CPLD discreto o un FPGA en tarjeta de desarrollo, utilizando por lo menos 4 bits.</p>	II	5.0	Laboratorio de Digitales
6	<p>Ejemplos prácticos de circuitos combinacionales para telemática con la tarjeta de desarrollo. Objetivo: Implementar, simular y probar circuitos combinacionales prácticos para telemática. Descripción: Con los mux y demux, implementar un conmutador; con los codificadores y decodificadores implementar un sistema de comunicación; con elementos lógicos crear un generador de bit de paridad; etc. todo basado en un CPLD discreto o un FPGA en tarjeta de desarrollo.</p>	II	4.5	Laboratorio de Digitales



INSTITUTO POLITÉCNICO NACIONAL
SECRETARÍA ACADÉMICA
DIRECCIÓN DE EDUCACIÓN SUPERIOR



UNIDAD DE APRENDIZAJE: Diseño digital

HOJA: 9 DE 13

RELACIÓN DE PRÁCTICAS

PRÁCTICA No.	NOMBRE DE LA PRÁCTICA	UNIDADES TEMÁTICAS	DURACIÓN	LUGAR DE REALIZACIÓN
7	Temporizadores y osciloscopio. Objetivo: Medir en el osciloscopio digital el reloj de la tarjeta de desarrollo y de circuitos discretos e integrados. Descripción: Armar y medir los circuitos para generar la señal de reloj que utiliza un dispositivo digital.	III	3.0	Laboratorio de Digitales
8	Flip-flops, registros, RAM y ROM. Objetivo: Implementar y probar físicamente y en el simulador, los Flip-flops: SR, JK, T, D, los registros y las memorias RAM y ROM. Descripción: Escribir y simular los códigos de los FF, los registros, las memorias RAM y ROM en HDL para implementarlos en un CPLD discreto o un FPGA en tarjeta de desarrollo.	III	4.0	Laboratorio de Digitales
9	Contadores. Objetivo: Implementar y probar los contadores. Descripción: Escribir y simular los códigos de los contadores (anillo, Johnson, ascendente-descendente, de inicio programado, módulo fijo y variable), en HDL para implementarlos en un CPLD o un FPGA.	III	3.0	Laboratorio de Digitales
10	Registros de corrimiento. Objetivo: Implementar y probar los registros de corrimiento (PIPO, SISO, SIPO, PISO, Universal). Descripción: Escribir y simular los registros de corrimiento, en HDL para implementarlos en un CPLD o un FPGA.	III	3.0	Laboratorio de Digitales



INSTITUTO POLITÉCNICO NACIONAL
SECRETARÍA ACADÉMICA
DIRECCIÓN DE EDUCACIÓN SUPERIOR



UNIDAD DE APRENDIZAJE: Diseño digital

HOJA: 10 DE 13

RELACIÓN DE PRÁCTICAS

PRÁCTICA No.	NOMBRE DE LA PRÁCTICA	UNIDADES TEMÁTICAS	DURACIÓN	LUGAR DE REALIZACIÓN
11	CRC. Objetivo: Implementar en un CPLD o FPGA utilizando HDL un circuito de verificación de redundancia cíclica. Descripción: Escribir y simular un CRC en HDL para implementarlos en un CPLD discreto o un FPGA en tarjeta de desarrollo.	III	3.0	Laboratorio de Digitales
12	Diseño, síntesis y simulación FSM (mealy, moore y mixta). Objetivo: Implementar los tres tipos de máquinas de estado finito en la tarjeta con CPLD o FPGA. Descripción: Utilizando la descripción por listado, escribir las estructuras de las máquinas de estado finito.	IV	6.0	Laboratorio de Digitales
13	Aplicaciones. Objetivo: Implementar algunas aplicaciones de telemática utilizando las máquinas de estado finito. Descripción: Realizar aplicaciones de telemática utilizando las máquinas de estado finito.	IV	3.0	Laboratorio de Digitales
14	Editor de FSM. Objetivo: Aprender a utilizar el editor de máquinas de estado finito de la marca de la tarjeta. Descripción: Realizar los diseños de las máquinas de Mealy, Moore y Mixta en el editor de máquinas de estado finito.	IV	5.0	Laboratorio de Digitales

EVALUACIÓN Y ACREDITACIÓN:

Las prácticas serán evaluadas a través de la entrega de los circuitos funcionando dentro del trabajo de laboratorio, los reportes escritos deben contener introducción, desarrollo, conclusiones individuales y bibliografía, y los prereportes escritos deben contener conceptos, códigos y cálculos de los circuitos a realizar. La evaluación de las prácticas de laboratorio corresponde al 25% del total de la calificación, siendo requisito necesario aprobar el laboratorio para poder tener derecho al examen diagnóstico y por ende acreditar la unidad de aprendizaje.



INSTITUTO POLITÉCNICO NACIONAL
SECRETARÍA ACADÉMICA
DIRECCIÓN DE EDUCACIÓN SUPERIOR



UNIDAD DE APRENDIZAJE: Diseño Digital

HOJA: 11 DE 13

PROCEDIMIENTO DE EVALUACIÓN

Para la evaluación de la unidad de aprendizaje se considera:

Evaluación de conceptos vistos en clase y en laboratorio. Prácticas de laboratorio con los circuitos funcionando. Proyectos funcionando. Problemas y tareas de investigación solucionados. Reportes escritos, defensa oral y circuitos o prototipos funcionando.

Con la previa autorización de la Academia de Electrónica, esta unidad de aprendizaje puede acreditarse también por “competencia demostrada” presentando, dentro de las primeras tres semanas de iniciado el curso:

(a) una evaluación de conceptos de las unidades temáticas I a la IV, (b) implementar 5 prácticas de laboratorio o más que abarquen los temas listados abajo, (c) realización de un proyecto y dos tareas o problemas dedicados. En los incisos (b) y (c) se presentarán físicamente sus diseños (en tarjeta con CPLD o FPGA programados con HDL y componentes discretos necesarios), reporte escrito (los códigos en HDL: VHDL o Verilog, con sus comentarios), y defensa oral, conteniendo los temas siguientes:

I.- Funciones lógicas, uso del ambiente de desarrollo y manejo del simulador.

II.- Circuitos combinacionales de por lo menos 4 bits como son comparadores, codificadores, decodificadores, multiplexores y ALU.

III.- Construcción de 2 o más generadores de señal de reloj, flip-flops JK y D, memoria RAM y ROM, contador ascendente-descentente síncrono con carga en paralelo, reset y hold, registro universal y un CRC.

IV.- Implementación de una máquina de Mealy y una máquina de Moore para solucionar dos problemas del área de telemática. También es posible implementar en esta unidad temática algunas aplicaciones industriales o comerciales para el área telemática.

Los porcentajes a cubrir por unidad temática para valorar el 100% de la unidad de aprendizaje son:

Unidad Temática I 15%

Unidad Temática II 25%

Unidad Temática III 30%

Unidad Temática IV 30%

Se deben de presentar y defender todos los diseños para alcanzar por lo menos un 80% de la unidad de aprendizaje.

Para acreditar la UAp en un examen extraordinario o en un examen a título de suficiencia ETS, realizar: (a) una evaluación de conceptos de las unidades temáticas I a la IV, (b) dos tareas o problemas presentando físicamente sus diseños (en tarjeta con CPLD o FPGA programados con HDL y componentes discretos necesarios), reporte escrito (los códigos en HDL: VHDL o Verilog, con sus comentarios), y defensa oral, que abarquen los temas de esta UAp. Las ponderaciones para cada inciso son: (a) 50%, (b) 50%.

La Subdirección Académica en conjunto con la Academia de Informática determinará la equivalencia de la competencia con otras unidades de aprendizaje de tanto de unidades académicas de IPN como externas.

Para acreditar esta UAp por “saber demostrado” el alumno presentará un examen de conocimientos y el desarrollo de las prácticas.

También con previa autorización y equivalencia de la competencia por parte de la Subdirección Académica y de la Academia de electrónica, se puede cursar y acreditar en otras unidades académicas del IPN, nacionales o extranjeras de acuerdo al Programa de Movilidad del Plan de estudios aprobado y convenios que existan.



INSTITUTO POLITÉCNICO NACIONAL
SECRETARÍA ACADÉMICA
DIRECCIÓN DE EDUCACIÓN SUPERIOR



UNIDAD DE APRENDIZAJE: Diseño Digital

HOJA: 12 DE 13

CLAVE	B	C	BIBLIOGRAFÍA
1		X	Botros Nazeih M., HDL Programming Fundamentals: VHDL and Verilog, Da Vinci Engineering Press, USA 2006, 506 pages, ISBN 1-58450-855-8.
2	X		Brown S., Vranesic Z., Fundamentals of Digital Logic with VHDL Design with CD-ROM, Ed. Mcgraw Hill, 3a edición, 2008. 939 pages, ISBN 9780077221430
3	X		Floyd T. L., Fundamentos de Sistemas Digitales, Ed. Pearson, 9ª. Edición, 2006, 1024 págs.
4	X		Morris Mano M., Digital design, Ed. Pearson Prentice Hall, 4a edición, 2007, 608 páginas, ISBN: 9780131989245.
5		X	Pardo F., Boluda J. A., VHDL, lenguajes para síntesis y modelado de circuitos, Ed. Alfaomega Ra – Ma, 2a edición, 2004, 251 págs, ISBN 970-15-1017-8.
6	X		Pérez S. A., Soto E., Fernández S., Diseño de Sistemas Digitales con VHDL, Ed. Thomson, 2002, 353 págs, ISBN 84-9732-081-6.
7	X		Tocci R. J., Widmer N. S., Moss G. L., Sistemas Digitales: principios y aplicaciones, Ed. Prentice Hall, décima edición, 2007, 968 págs.
8	X		Wakerly John F., Digital design: principles and practices, Ed. Pearson Prentice Hall, 4a edición, 2007, 802 págs. ISBN 9780132016117.
9		X	The VHDL cookbook, Peter J. Ashenden, http://tams-www.informatik.uni-hamburg.de/vhdl/doc/cookbook/VHDL-Cookbook.pdf , consultado Ene-2010.
10		X	VHDL Learn by example (y otros tópicos), varios autores y varias páginas www, http://esd.cs.ucr.edu/labs/tutorial/ , consultado Ene-2010.
11	X		Software de desarrollo, varias compañías, (ISE) www.xilinx.com , (QuartusII) www.altera.com , (Libero) www.actel.com .